

⑫ 公開特許公報(A)

昭62-12167

⑤Int.Cl.⁴H 01 L 29/78
29/52

識別記号

庁内整理番号

8422-5F

⑬公開 昭和62年(1987)1月21日

審査請求 未請求 発明の数 1 (全8頁)

⑭発明の名称 溝部を有する縦形半導体装置の製造方法

⑰特 願 昭60-149900

⑱出 願 昭60(1985)7月10日

⑲発 明 者 佐々木 芳高 東京都中央区日本橋1丁目13番1号 ティーディーケイ株式会社内

⑳出 願 人 ティーディーケイ株式 東京都中央区日本橋1丁目13番1号
会社

㉑代 理 人 弁理士 杉村 暁秀 外1名

明 細 書

1. 発明の名称 溝部を有する縦形半導体装置
の製造方法

2. 特許請求の範囲

1. 一導電型の半導体基体と、この半導体基体の主面に形成された溝部と、この溝部に絶縁膜を介して形成された電極膜と、前記半導体基体の主面に、前記溝部を囲むとともに一部分が前記電極膜と重なるように縦方向に形成された逆導電型の第1半導体層および一導電型の第2半導体層とを具える縦形半導体装置を製造するに当り、

前記溝部を形成する工程が、

前記半導体基体の主面上に、耐酸化性絶縁膜を選択的に形成する工程と、

この耐酸化性絶縁膜の開口部を経て半導体基体を酸化して酸化膜を形成する工程と、

この酸化膜をエッチングにより除去する工程とを具えることを特徴とする溝部を有する縦形半導体装置の製造方法。

2. 一導電型の半導体基体の主面上に耐酸化性絶縁膜を選択的に形成する工程と、

この耐酸化性絶縁膜の開口部を経て半導体基体を選択的に酸化して酸化膜を形成する工程と、

この酸化膜によって囲まれた半導体基体の表面に、逆導電型の第1半導体層と、この第1半導体層内に一導電型の第2半導体層とを選択的に形成する工程と、

前記酸化膜をエッチングして滑らかな輪郭を有する溝部を形成する工程と、

この溝部の表面に絶縁膜を形成する工程と、この絶縁膜上に、少なくとも前記第1および第2半導体層と部分的に重なるように電極膜を形成する工程とを具えることを特徴とする特許請求の範囲1記載の縦形半導体装置の製造方法。

3. 前記耐酸化性絶縁膜の開口部を経て半導体基体を選択的に酸化して酸化膜を形成する工程と、この酸化膜をエッチングにより除去す

る工程とをくり返し行なうことを特徴とする特許請求の範囲1または2記載の縦形半導体装置の製造方法。

4. 前記耐酸化性絶縁膜を形成する以前に、半導体基体の主面に第1半導体層および第2半導体層を形成し、次に耐酸化性絶縁膜の開口部を経て半導体基体を酸化する以前にこの開口部を経て半導体基体をエッチングしてV字状の溝を形成することを特徴とする特許請求の範囲1記載の縦形半導体装置の製造方法。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は半導体装置の製造方法、特に半導体基体の主面にV字状またはU字状の溝部を形成した縦形半導体装置の製造方法に関するものである。(従来の技術)

半導体基体の主面にV字状またはU字状の溝部を形成した縦形MOSトランジスタは高周波特性に優れ、特にチャンネル幅を長くすることができることからオン抵抗が低く、スイッチング速度が

速いという特徴を有している。

第4図は従来のV字状溝部を有する縦形MOSトランジスタの断面形状を示すものであり、このようなトランジスタは例えば特開昭59-193064号公報に開示されている。半導体基体は n^+ シリコン基板1と、その上に成長させた n^- エピタキシャル層2とを有する n^- オン n^+ 構造を有している。エピタキシャル層2の主面にはV字状の溝部3が形成されており、この溝部の表面にはゲート絶縁膜4を介してゲート電極膜5が形成されている。V字状溝部3の周囲には p 型の第1半導体層6と、その内部に形成された n^+ 型の第2半導体層7とが形成されている。 n^- 型基板1の表面にはドレイン電極膜8が形成されており、エピタキシャル層2の主面には絶縁膜9を介してソース電極10が、第1および第2の半導体層6および7の双方とオーミック接触するように設けられている。

(発明が解決しようとする問題点)

このようなV字状溝部を有するMOSトランジ

スタにおいては、溝部3の先端3aが鋭く尖っているため電界が集中し、ゲート絶縁膜4が破壊してしまい、耐圧が低下するという欠点がある。一般にV字溝は、シリコンエピタキシャル層2の異方性エッチングにより形成しているため、溝部先端3aは必然的に尖ることになる。上記の特開昭59-193064号公報では、 p 型の第2半導体層6を溝部から所定の距離だけ離れたところから溝部を挟んだ状態で溝部先端より下方へ延在させ、溝部先端より下方へ延びた部分の間隔を部分的に狭くして電界の集中を緩和することが提案されている。しかしながら、このような解決策は、溝部先端の形状は元のまま尖っているので根本的な解決策とはならないとともに第1半導体層のプロファイルを所望のものとするには余分な拡散工程を必要とする欠点がある。さらにケミカルエッチングにより溝部を形成する方法は精密な制御が難しく、特に素子の微細化が進み、溝部も微細なものが要求されるようになるとプロセスのコントロールが困難となり、正確な寸法、形状に溝部を形成

することができなくなる欠点もある。

本発明は上述した問題点に鑑みてなされたもので、電界が集中する尖った先端を持たない溝部を正確に再現性高く形成することができ、これによって耐圧の向上した縦形半導体装置を製造することができる方法を提供することを目的とするものである。

(問題点を解決するための手段)

本発明の製造方法は、一導電型の半導体基体と、この半導体基体の主面に形成された溝部と、この溝部に絶縁膜を介して形成された電極膜と、前記半導体基体の主面に、前記溝部を囲むとともに一部分が前記電極膜と重なるように縦方向に形成された逆導電型の第1半導体層および一導電型の第2半導体層とを具える縦形半導体装置を製造するに当り、前記溝部を形成する工程が、前記半導体基体の主面上に、耐酸化性絶縁膜を選択的に形成する工程と、この耐酸化性絶縁膜の開口部を経て半導体基体を酸化して酸化膜を形成する工程と、この酸化膜をエッチングにより除去する工程とを

具えることを特徴とするものである。

(作 用)

上述した本発明の製造方法によれば、溝部をケミカルエッチングによって形成するのではなく、溝部を形成すべき半導体基体の部分を選択的に酸化し、この酸化された部分をエッチングにより除去して溝部を形成するものであるが、この酸化は等方性を有するため尖った先端が形成されず、滑らかな輪郭形状を有する溝部が形成され、したがって電界の集中は起らない。また、酸化工程はきわめて精密に制御することができるので、溝部の寸法、形状も正確にかつ再現性高く制御することができる。このようにして耐圧の高い縦形半導体装置を正確に製造することができる。

(実施例)

第1図(a)～(f)は本発明による溝部を有する縦形半導体装置の製造方法の一実施例の順次の製造工程を示すものであり、本例では縦形MOS FETを製造するものである。高不純物濃度の n^+ 型半導体基体11の上に、これよりも低不純

物濃度の n 型半導体層12を形成する。本例ではこの n 型半導体層12はエピタキシャル成長により形成するが、引上げ法などの他の方法で形成することもできる。 n 型半導体層12の表面に厚さ約1000Åの酸化膜13を形成した後、その上に厚さ約3000Åのチツ化膜を形成し、このチツ化膜をパターニングして耐酸化絶縁膜14を選択的に形成した状態を第1図(a)に示す。

続いて熱酸化処理を施し、前記耐酸化絶縁膜14の開口部14aを介して n 型半導体層12を選択的に酸化し、約 $1.5\mu\text{m}$ の厚さを有する酸化膜15を選択的に形成する。その後、チツ化膜より成る耐酸化絶縁膜14を、例えば 180°C の熱リン酸あるいはフレオン系のドライエッチングによりエッチング除去した様子を第1図(b)に示す。

続いて前記厚い酸化膜15をマスクとして、チャンネル領域を構成する p 型拡散層(第1半導体層)16を自己整合的に形成し、次にフォトリソエッチング技術により選択的にマスクを形成し、 p 型拡散層16内にソース領域を構成する n^+ 型拡散層(第2

半導体層)17を選択的に形成した様子を第1図(c)に示す。

次に、再び熱酸化処理を施し、厚さ約3000Åの酸化膜18を形成し、さらにその上にレジスト膜19を選択的に形成した様子を第1図(d)に示す。

次にエッチングを施し、酸化膜15を除去して、深さが約 $0.7\sim 0.8\mu\text{m}$ の溝部20を形成する。この溝部20の輪郭形状は滑らかとなっており、鋭く尖った部分は形成されない。次に、この溝部に厚さ約1000Åのゲート酸化膜21を形成し、さらにその上にゲート電極を構成する多結晶シリコン膜22を約6000Åの厚さに選択的に形成した様子を第1図(e)に示す。このゲート多結晶シリコン膜22は p 型拡散層16および n^+ 型拡散層17と部分的に重なるように形成されている。なお、第1図(d)では酸化膜13および18は一層の酸化膜23として示してある。

次にCVD法にてCVD- SiO_2 膜24を約5000Åの厚さに堆積した後、熱処理を施す。最後に酸化膜23およびCVD- SiO_2 膜24にコンタ

クトホール23aおよび24aを形成した後、Alを蒸着して金属電極膜25を選択的に形成して、第1図(f)に示す縦形MOSトランジスタを完成する。

第2図(a)～(e)は本発明製造方法の他の実施例の順次の製造工程を示すものである。 n^+ 型半導体基板31上に n 型半導体層32を形成し、さらにこの n 型半導体層32の主面上に厚さ約1000Åの酸化膜33を形成する。次に n 型半導体層32の主面に、後にチャンネル領域を構成する p 型拡散層34と、後にソース領域を構成する n^+ 型拡散層35とを形成する。その後酸化膜33上にチツ化膜より成る耐酸化絶縁膜36を約3000Åの厚さに選択的に形成した様子を第2図(a)に示す。酸化膜33は、熱酸化処理中に n 型半導体層32へ欠陥が導入されるのを防止するバッファとして作用するものである。

次にバッファ用酸化膜33を、溝部を形成すべき位置において選択的に除去した後、KOHを主成分とするエッチャントによってV字状の溝37を形成する。なお、この際のエッチングの深さは、溝

37の先端がp型拡散層34とn型半導体層32との境界を超えてもよいし、あるいはこの境界に達しないものでよい。このように図37を形成した状態を第2図(b)に示す。

続いて耐酸化性絶縁膜36をマスクとして熱酸化処理を施す。この熱酸化工程は、例えば7～8気圧に加圧した雰囲気中において、1000℃の温度で約90～150分間高圧水素燃焼酸化を施して行なう。これによりp型拡散層34やn型拡散層35の拡散進行を極力抑えながら例えば1.5μm程度の厚い酸化膜38を形成する。その後、耐酸化性絶縁膜36を除去した様子を第2図(c)に示す。この場合、酸化膜38は半導体層32中に均等に形成されるので、その輪郭形状は滑らかとなる。

次に厚い酸化膜38をエッチングにより除去して滑らかな表面形状を有する溝部39を露出させ、この溝部に酸化膜42を約1000Åの厚さに形成し、さらにその上にゲート電極を構成する多結晶シリコン膜40を選択的に形成する。この様子を第2図(d)に示す。なお、第2図(d)ではバッファ

状態を第3図(b)に示す。

その後、耐酸化性絶縁膜54をマスクとして厚い酸化膜55をエッチングにより除去して溝56を形成した様子を第3図(c)に示す。

続いて再度熱酸化処理を施し、約1.5～2.0μmの厚い酸化膜57を形成した様子を第3図(d)に示す。

続いて、チッ化膜より成る耐酸化性絶縁膜54、薄いバッファ用酸化膜53および厚い酸化膜56をエッチングにより除去することによってn型半導体層52の主面に深さが1.0～1.5μm程度の滑らかな溝部58を形成した様子を第3図(e)に示す。以後は第1図(e)および(f)と同様な処理を行なって縦形MOSトランジスタを完成する。

なお、本実施例において、厚い酸化膜56を除去した後、耐酸化性絶縁膜54を除去することなく、再び熱酸化処理を施して厚い酸化膜を形成する工程をくり返すことにより溝部57の深さを任意の深さとすることができる。

本発明は上述した実施例にのみ限定されるもの

用酸化膜33とゲート酸化膜42とを一体として酸化膜41で示す。

その後、CVD-SiO₂膜43を約5000Åの厚さに形成し、さらにこのCVD-SiO₂膜43、酸化膜41にそれぞれコンタクトホール43aおよび41aを形成するとともにn型拡散層35を部分的にエッチング除去してp型半導体層34の一部を露出させる。最後にAl電極膜44を約3.5μmの厚さに選択的に形成して縦形MOSトランジスタを完成した様子を第2図(e)に示す。

第3図(a)～(e)は本発明の縦形半導体装置の製造方法のさらに他の実施例の順次の工程を示すものである。本例ではn型シリコン半導体基板51の上にn型シリコン半導体層52を形成し、さらにその上に約1000Åの厚さのバッファ用酸化膜53を形成し、さらにその上にチッ化膜より成る耐酸化性絶縁膜54を選択的に形成した様子を第3図(a)に示す。

次に熱酸化処理を施し、耐酸化性絶縁膜54の開口部に厚さ約1.0μmの厚い酸化膜55を形成した

ではなく、幾多の変形が可能である。例えば上述した実施例では縦形MOSトランジスタを製造するものとしたが、縦形静電誘導トランジスタや縦形バイポーラトランジスタなどの他の縦形半導体装置の製造に適用することができる。また、n型とp型とは上述した実施例とは反対とすることもできる。また、耐酸化性絶縁膜としてはチッ化膜の他にアルミナ膜などを用いることもできる。さらに、ゲート電極膜は多結晶シリコン膜に限られるものではなく、モリブデン、タングステン、クロム等の高融点金属またはそれらのシリサイドを以って構成することもできる。また、第1図に示した実施例では厚い酸化膜15を除去する以前にレジスト膜18を形成したが、このレジスト膜は必ずしも必要ではない。

(発明の効果)

上述した本発明の製造方法によれば、従来のようにケミカルエッチングによって溝部を形成するのではなく、耐酸化性絶縁膜の開口部を経て半導体基体を選択的に酸化して酸化膜を形成し、この

酸化膜をエッチング除去して溝部を形成するものであるから、溝部の輪郭形状は鋭く尖った部分がなく、滑らかに形成されるので電解の集中は起らず、耐圧を向上することができる。また、酸化処理および酸化膜のエッチング除去処理は比較的安定したプロセスで正確に行なうことができる。特に最近の酸化技術の発展は著しく、数十オングストロームの精度で厚みを制御することができるので、溝部を所望通りの形状に正確に形成することができる。また、パツファ用酸化膜の厚さを制御することによりパズピークの大小が決定され、これに伴って溝部の滑らかさも制御することができる。

4. 図面の簡単な説明

第1図(a)～(f)は本発明による溝部を有する縦形半導体装置の製造方法の一実施例の順次の製造工程を示す断面図、

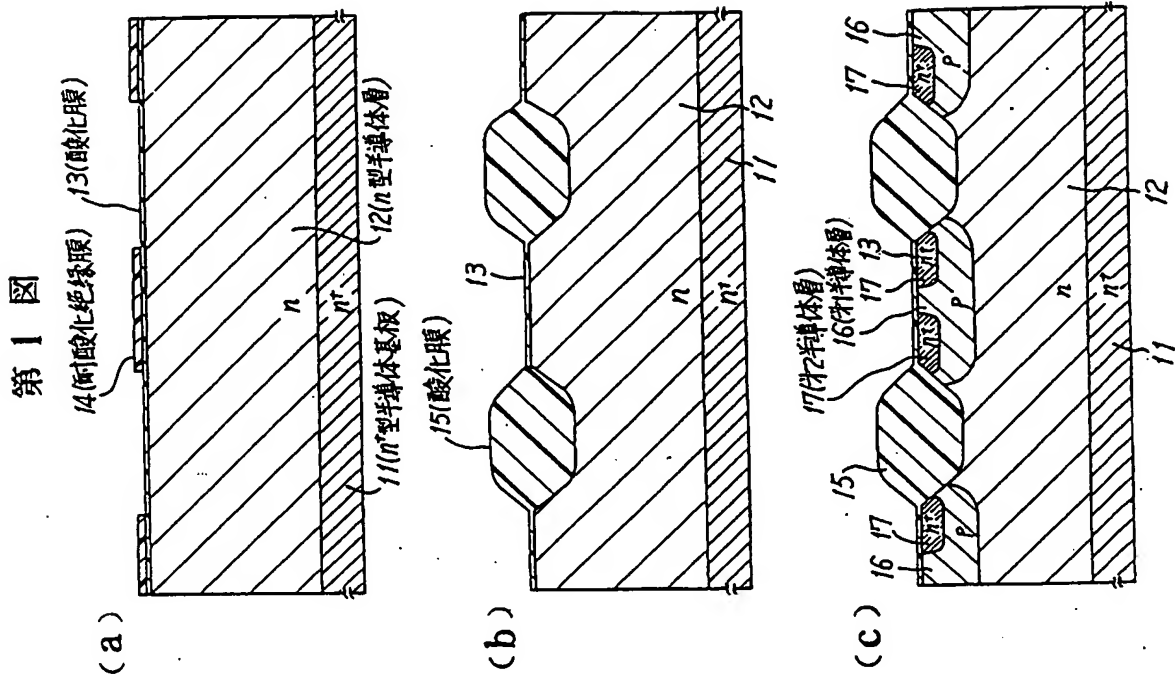
第2図(a)～(e)は同じく他の実施例の順次の製造工程を示す断面図、

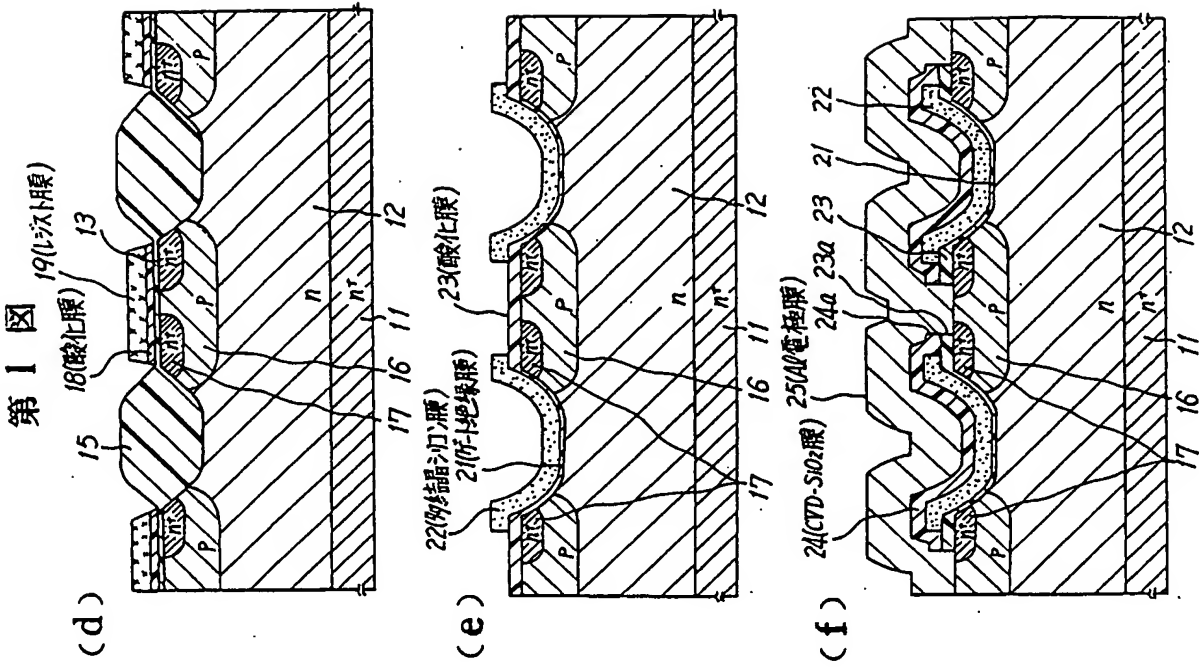
第3図(a)～(e)は同じくさらに他の実施

例の順次の製造工程を示す断面図、

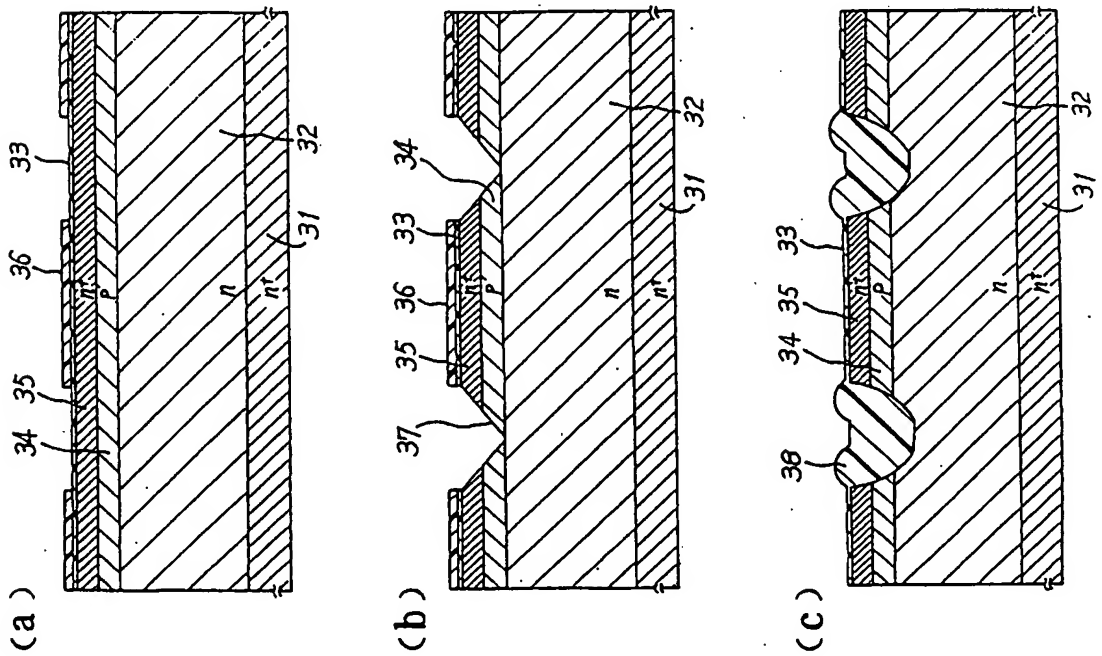
第4図は従来の方法で製造した溝部を有する縦形半導体装置を示す断面図である。

- 11… n^+ 型半導体基板
- 12… n 型半導体層
- 13…酸化膜
- 14…耐酸化絶縁膜
- 15…酸化膜
- 16, 17…第1および第2半導体層
- 18…酸化膜
- 21…ゲート酸化膜
- 22…多結晶シリコン膜
- 24…CVD- SiO_2 膜
- 25…電極膜

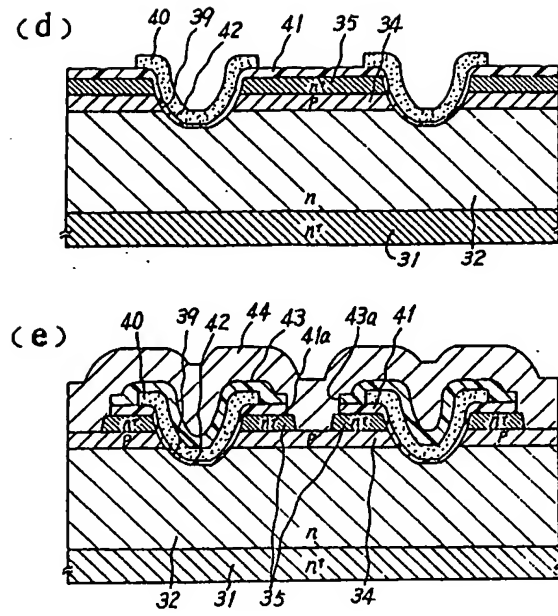




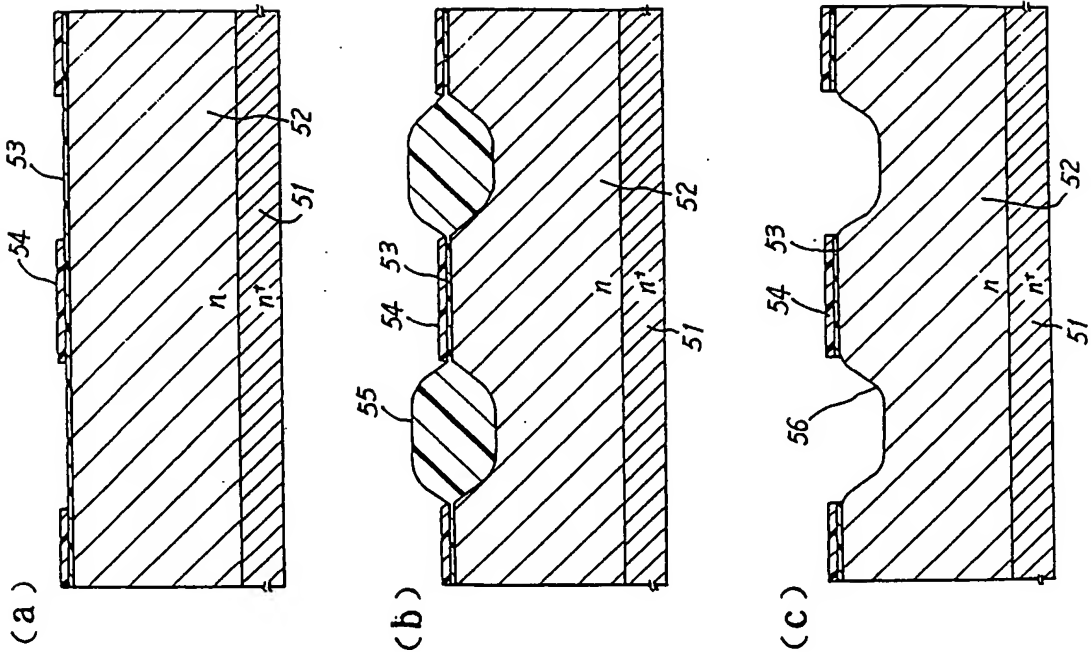
第 2 図



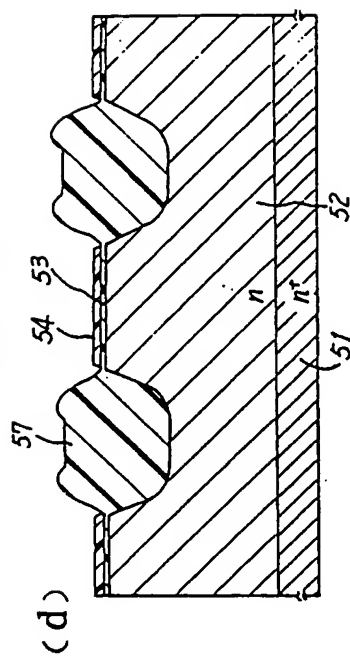
第 2 図



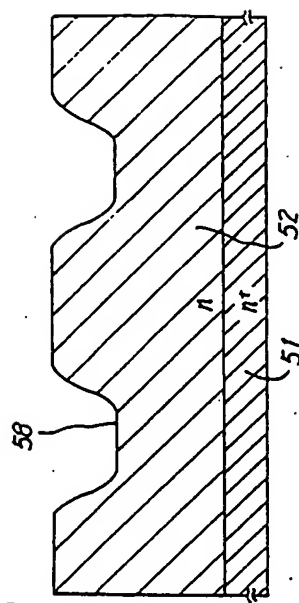
第 3 図



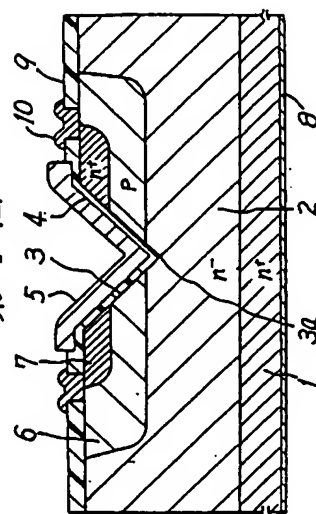
第 3 図



(e)



第 4 図





1 / 1

PATENT ABSTRACTS OF JAPAN

(11)Publication number : **62-012167**
(43)Date of publication of
application : **21.01.1987**

(51)Int.Cl. **H01L 29/78**
H01L 29/52

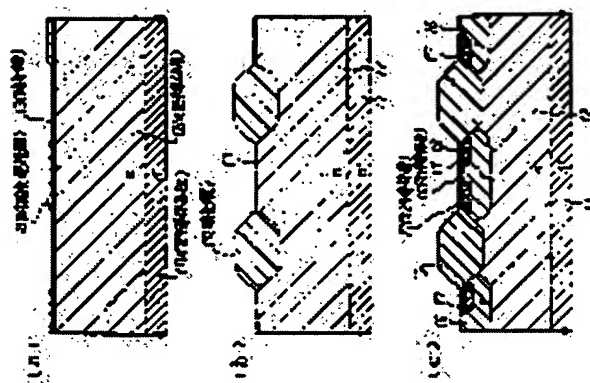
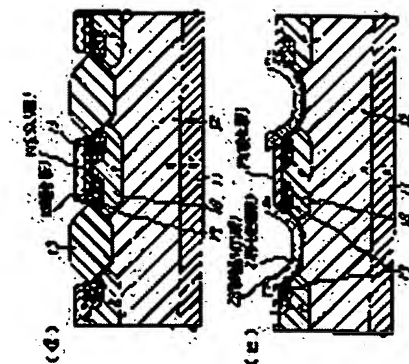
(21)Application number :	60-149900	(71) Applicant :	TDK CORP
(22)Date of filing :	10.07.1985	(72)Inventor :	SASAKI YOSHITAKA

**(54) MANUFACTURE OF VERTICAL TYPE SEMICONDUCTOR DEVICE WITH GROOVE
SECTION**

(57)Abstract:

PURPOSE: To form a groove section smoothly, to prevent the generation of the concentration of an electric field and to increase withstanding voltage by selectively oxidizing a semiconductor base body through an opening section for an oxidation-resistant insulating film to shape an oxide film and removing the oxide film through etching to form the groove section.

CONSTITUTION: An n-type semiconductor layer 12 in impurity concentration lower than that of an n⁺ type semiconductor base body 11 is shaped onto the semiconductor base body 11. An oxide film 13 is formed, and an oxidation-resistant insulating film 14 is shaped selectively. The n-type semiconductor layer 12 is oxidized selectively through opening sections 14a for the oxidation-resistant insulating film 14 to selectively form oxide films 15. The oxidation-resistant insulating film 14 is removed through etching, a p-type diffusion layer 16 is shaped in a self-alignment manner while using the thick oxide film 15 as a mask, an n⁺ type diffusion layer 17 is formed selectively, an oxide film 18 is shaped, a resist film 19 is formed selectively and etched, and the oxide films 15 are gotten rid of, thus shaping groove sections. The shapes of the contours of the groove sections are smoothed, and gate oxide films 21 and polycrystalline silicon films 22 are formed.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office